

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP363053772A
DOCUMENT-IDENTIFIER: JP 63053772 A
TITLE: SIGNAL TRANSMITTER
PUBN-DATE: March 8, 1988

INVENTOR-INFORMATION:

NAME	COUNTRY
TANAKA, SHOSUKE	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP N/A	

APPL-NO: JP61197955
APPL-DATE: August 23, 1986

INT-CL (IPC): G11B023/30

US-CL-CURRENT: 360/79

ABSTRACT:

PURPOSE: To execute the supply/reception of a signal exactly by providing a battery on the information medium side, and executing the supply/reception of a signal between a light emitting element on reader side and a light receiving element on the information medium side and between a liquid crystal display on the information medium side and a reflection type optical sensor on the reader side.

CONSTITUTION: In the card shaped information recording medium 3 incorporated in a tape cassette 1, a CPU 15 and the battery 16 are disposed, and the liquid crystal display 4 and the photodiode 5 are connected to the CPU 15. If the tape cassette 1 is loaded on a VTR, the output of the microprocessor of a reader is supplied to the CPU 15 via a photocoupler consisted of the light emitting diode 12 and the photodiode 5. On the other hand, the output of the CPU 15 is displayed in a liquid crystal displayer 4, and this display is detected by the reflection type optical sensor 11 and transmitted to the microprocessor of the reader. Consequently, the supply/reception of data can be executed without relying on mechanical contact, hence it is executed exactly.

COPYRIGHT: (C)1988, JFO&Japio

⑫ 公開特許公報(A)

昭63-59772

⑤ Int.Cl.⁴H 02 M 7/537
7/538

識別記号

庁内整理番号

B-7531-5H
7531-5H

⑬ 公開 昭和63年(1988)3月15日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 電力変換装置

⑯ 特 願 昭61-201806

⑰ 出 願 昭61(1986)8月29日

⑱ 発 明 者 垣 谷 勉 東京都港区三田1丁目4番28号 東芝電材株式会社内
⑲ 出 願 人 東芝電材株式会社 東京都港区三田1丁目4番28号
⑳ 代 理 人 弁理士 伊東 辰雄 外1名

明 細 書

1. 発明の名称

電力変換装置

2. 特許請求の範囲

1. 直流電源に対してシングルエンデッドプッシュアップ接続された1対のトランジスタ、および該1対のトランジスタの接続点に発生する出力を各トランジスタの制御電極にそれぞれ正帰還する1対の駆動巻線を有する可飽和形の帰還トランスを備えた電力変換装置であって、

上記各駆動巻線と制御電極とを接続する抵抗の抵抗値を切替える手段を備えたことを特徴とする電力変換装置。

2. 前記抵抗値切替手段が、前記接続点に発生した出力により所定値以上の電流が流れようとした場合にそれを検出して抵抗値を切替えるものである特許請求の範囲第1項記載の電力変換装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、直流電力を高周波電力に変換する電

力変換装置に関する。

〔従来技術〕

従来、この種の電力変換装置としては、自励式のプッシュアップトランジスタインバータを使用し出力電流を可飽和形電流トランスにより検出して1対の出力トランジスタの各制御電極に正帰還するものが知られている。

〔発明が解決しようとする問題点〕

ところで、このような電力変換装置においては、負荷短絡時に大電流が流れ、インバータ(トランジスタ等)が破壊されるという欠点があった。また、この負荷短絡時の大電流に耐えるような大容量のトランジスタは高価であった。

さらに、このような電力変換装置を例えばハロゲンランプ等の点灯装置として適用する場合には電源投入時、瞬間的に短絡状態となり大電流が流れる。そのため、ランプが短寿命となるという問題点があった。

本発明の目的は、上述の従来例における問題点に鑑み、可飽和形の帰還トランスを備えた自励式

プッシュプルトランジスタインバータを用いた電力変換装置において、簡略な構成で、負荷短絡時におけるインバータの保護を図り、また負荷であるランプ等の寿命を延ばすべく負荷短絡電流を低減させることにある。

〔問題点を解決するための手段〕

上記目的を達成するため本発明では、帰還トランスの各駆動巻線と各トランジスタの制御電極とを接続する抵抗の抵抗値を切換える手段を備えている。

〔作用および効果〕

従来形の電力変換装置においては、帰還トランスの各駆動巻線と各トランジスタの制御電極を1つのゲート抵抗のみで接続していた。そのため、負荷短絡時にはトランジスタに大電流が流れてトランジスタを破壊してしまう。これに対し、本発明では、帰還トランスの各駆動巻線と各トランジスタ制御電極とを接続する抵抗の抵抗値を切換えることができる。そのため、負荷短絡等の場合に、抵抗値を大きくすることによりこの抵抗を流れる

電流を小さくすることができる。メイン回路を流れる電流が大きく変化しなければ、帰還トランスの1次側巻線に流れる電流は見かけ上大きくなり、誘起電圧も大きくなる。従って、可飽和形トランスである帰還トランスが飽和するまでの時間が短くなり、トランジスタのスイッチング周波数は高くなる。

一方、負荷回路はL、Cの共振回路系を構成しているから、後述するように回路L、Cで決まる固有周波数において共振電流がピークとなる共振カーブが描ける。従って、動作周波数を変更することにより、共振電流を調節することができる。すなわち、本発明は、上述したように接続された抵抗の抵抗値を切換えることにより動作周波数を変更し、それにより共振電流を調節することができるのである。

従って、本発明によれば、負荷短絡時に抵抗を切換えて共振電流を小さくすることができるので、トランジスタを破壊することがない。そのため、高価な大容量のトランジスタを使用せずとも小容

量のトランジスタで回路を構成できる。また、ハロゲンランプ等のランプを負荷としたとき、始動時に流れる大きなランプ電流を低減できるので、ランプの寿命が延びる。

〔実施例〕

以下、図面を用いて本発明の実施例を説明する。

第1図は、本発明の一実施例に係る電力変換装置の構成を示す。この装置は、例えばAC 100Vの商用電源により定格電圧12Vのハロゲンランプを点灯するための点灯装置として用いられる。

図面において、1は直流電源で、商用電源11、全波整流回路12および平滑用コンデンサ13等で構成され、直流端子a、b間に直流電圧を発生する。21、22はパワーMOSFET、3はFET 21、22のゲート(制御電極)駆動用の可飽和トランス(可飽和形電流トランス)、4はインバータトランス(出力トランス)、5は負荷例えばハロゲンランプ、7は起動回路である。

可飽和トランス3は、FET 21、22の各ゲートに互いに逆相の電圧を供給する2つのゲート駆動

巻線(2次巻線)31、32、およびFET 21と22の接続点dからの出力電流を検出する電流検出巻線(1次巻線)33を有する。

インバータトランス4は、可飽和トランス3の電流検出巻線33およびコンデンサ51、52を介してFET 21と22の接続点dと直流端子a、bとの間に交流的に接続された1次巻線41、およびこのインバータの出力巻線として負荷5に接続された2次巻線42を有するリーケージトランスである。このインバータの共振周波数は、コンデンサ51、52のキャパシタンスとインバータトランス4のリーケージインダクタンスとの共振周波数および可飽和トランス3の飽和電流密度等によって定まる。

起動回路7においては、抵抗71とコンデンサ72の直列回路を直流端子aとbとの間に接続し、抵抗71とコンデンサ72の接続点eから一方のFET 22のゲートに双方向サイリスタ73を接続することにより、弛張共振回路を形成している。接続点eとFET 22のドレインとの間に順方向に接続されたダイオード74は、インバータ起動後にコンデン

サ72の充電電圧を双方向サイリスタ73のブレークオーバー電圧以下に保ち、起動回路の動作を停止させ、インバータの誤動作を防止するためのものである。

次に、第1図の電力変換装置の作用を説明する。

商用電源11が投入され、その交流出力が整流回路12およびコンデンサ13によって整流平滑されて直流端子a、bに直流出力を生じると、抵抗71を介してコンデンサ72に電荷が蓄積される。これにより接続点eの電位が上昇し、それが双方向サイリスタ73のブレークオーバー電圧を超えるとサイリスタ73が導通して片側のFET22にゲート電圧を印加する。同時にFET22のドレインには接続点eからダイオード74を介して直流電圧が印加されているので、FET22が導通し、直流端子aからコンデンサ51、トランス4の1次巻線41、トランス3の電流検出巻線33、FET22および直流端子bの経路で電流が流れる。そして、電流検出巻線33に流れる電流は駆動巻線32に正帰還され、FET22は双方向サイリスタ73が極く短時間でオフ

したとしても導通状態を維持する。このFET22が導通状態にある間、電流検出巻線33の電流は時間とともに増加し、可飽和トランス3はコア内の磁束密度が増加して遂には飽和する。すると、駆動巻線32の誘起電圧は零となり、FET22はオフする。従って電流検出巻線33に流れる電流すなわちトランス3のコアに対する起磁力が急減し、この起磁力がコアを磁気飽和させるレベルより小さくなった時、今度は駆動巻線31に正の電圧が誘起され、FET21がオンする。このオン状態は、電流検出巻線33および駆動巻線31を介しての正帰還によりトランス3が飽和するまで持続する。以後は同様にFET22と21とが交互にオンし、インバータは発電を継続する。

この発電動作により、インバータトランス4の1次巻線41は交流駆動され、2次巻線42には交流電圧が誘起される。負荷のハロゲンランプ5はこの2次誘起出力を供給され点灯する。

ところで、従来のインバータは、第1図のものに対し、抵抗25、26とSW1、SW2がなく、駆

動巻線31、32とFET21、22のゲートとはそれぞれ1つの抵抗でつながれた形となっていた。このため、負荷短絡時に大電流が流れるとFETが破壊されてしまう。

そこで、本実施例では、駆動巻線31、32と抵抗23、24の間に、それぞれ抵抗25、26とSW1、SW2を接続し、抵抗値を切換可能としている。

なお、第1図において、定常状態はスイッチSW1およびSW2をそれぞれオンし、負荷短絡時等過電流が流れたときはSW1およびSW2をそれぞれオフするものとする。

まず、定常状態(SW1、SW2がオン)の動作を説明する。定常状態では、ゲート抵抗のうち抵抗25、26がそれぞれスイッチSW1、SW2により短絡されるので、ゲート直列抵抗はそれぞれ抵抗23、24のみが接続された状態となる。そして、回路は上述したように動作し、ハロゲンランプ5が点灯している。第2図は、そのときの動作波形である。V_{DS}はFET21のドレインソース電圧、I_Dはドレイン電流、V_{GS}はゲートソース

電圧を示す。

第6図は、ゲート回路の等価回路図を示す。同図において、 αR_1 、 αR_2 は第1図の抵抗23、25の抵抗値 R_1 、 R_2 を帰還トランスの1次側に換算した値である。ただし、 α は帰還トランスの巻数比の2乗である。Lは帰還トランスの1次側の励磁インダクタンスである。I_Rは抵抗 αR_1 、 αR_2 を、I_LはインダクタンスLを、それぞれ流れる電流で、 $\dot{I}_T = \dot{I}_R + \dot{I}_L$ の関係にある。第6図(a)は、定常状態における \dot{I}_R と \dot{I}_L との関係を示すベクトル図である。

負荷短絡等で過電流が流れたときは、ゲート回路のSW1、SW2はオフする。従って、ゲート直列抵抗は、それぞれ抵抗23と25との和、および抵抗24と26の和の値をとることとなる。そのため、第5図の等価回路で示すところのI_Rは定常状態よりも小さくなるので、メイン回路を流れる電流I_Tが大きく変わらなければ帰還トランスの励磁電流I_Lは大きくなる。このときのベクトル図を第6図(b)に示す。従って、周波数が大きく変

化しないとする帰還トランスに発生する電圧も大きくなり、定常状態よりも早い時間で帰還トランスが飽和し、共振電流の周波数は高くなる。第3図は、このときの動作波形を示す。同図より判るように、FET 21, 22 のスイッチング周波数は定常状態(第2図)よりも高くなっている($T_1 > T_2$)。

一方、第1図において、負荷回路はL、Cの共振回路系を構成しているので、第4図に示すように回路L、Cで決まる固有周波数 f_0 を共振電流のピークとする共振カーブが描ける。ここでは、インバータの定常状態における共振周波数を負荷回路共振周波数 f_0 より高い周波数 f_1 に設定しているとする。

上述したように、負荷短絡時等に抵抗を切換えて、FET 20, 21 のスイッチング周波数を高くしインバータの共振周波数を f_2 とすれば、第4図から判るように共振電流は I_1 から I_2 に低減し、FETを破壊することがない。これは、ランプを負荷とした場合、始動時に流れる大電流を低減さ

せる際も同様である。すなわち、共振周波数を上げ共振電流を下げて、1次巻線41を流れる電流を低減させランプへの出力電圧を下げる。これにより、始動時のランプの電流を低減することができランプの寿命が延びる。

なお、上記実施例では、トランジスタとしてFETを使用しているが、これはバイポーラでもよい。

また、上記実施例では、ゲート抵抗を直列に2本つなぎこのうちの1つを短絡するようにスイッチSWを設けているが、これに限らず抵抗値を切換えるものであればどのような回路でもよい。

第7図は、駆動巻線31, 32を流れる電流を検出し、自動的に抵抗を切換える回路の例である。同図(a)において、抵抗25, 26の部分に接続されている回路SWは、同図(b)に示すようなものである。同図において、定常状態ではトランジスタ83がオンしている。負荷短絡時には、ツェナーダイオード81がオンしてトランジスタ82がオンする。そのため、トランジスタ83がオフし、ゲート

抵抗が23と25になる。

4. 図面の簡単な説明

第1図は、本発明の一実施例に係る電力変換装置の回路図、

第2および3図は、上記回路におけるインバータの各部波形図、

第4図は、上記回路におけるFETの負荷回路の共振特性を示すグラフ、

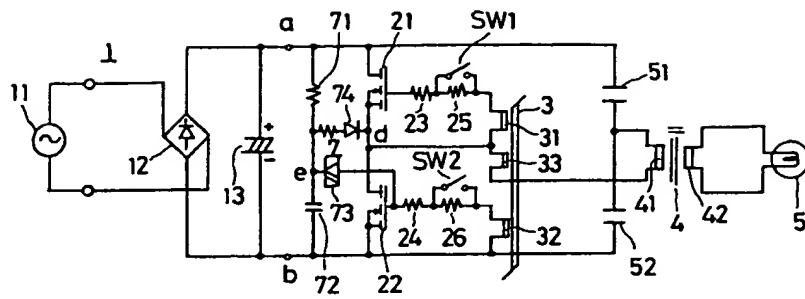
第5および6図は、上記回路の動作説明のための等価回路図およびベクトル図、

第7図は、本発明の他の実施例を示す回路図である。

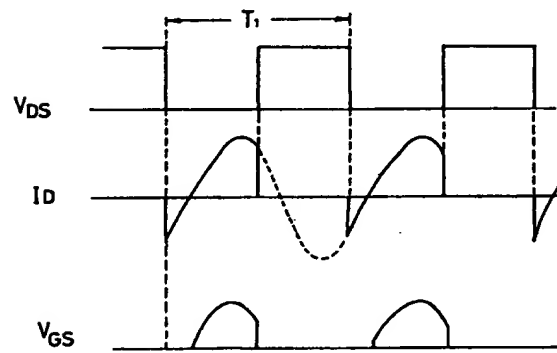
- 1：直流電源回路、
- 21, 22：MOSFET、
- 23, 24, 25, 26：抵抗、
- 3：可飽和トランス、
- 31, 32：ゲート駆動巻線、
- 33：電流検出巻線、
- 4：インバータトランス、

- 41：1次巻線、42：2次巻線、
- 5：負荷(ハロゲンランプ)。

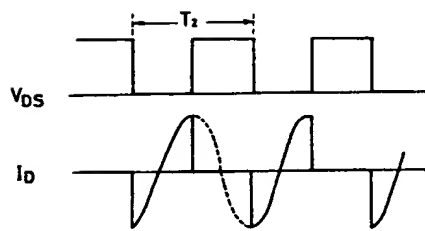
特許出願人 東芝電材株式会社
代理人 弁理士 伊東辰雄
代理人 弁理士 伊東哲也



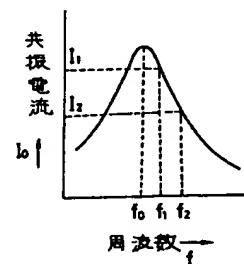
第 1 図



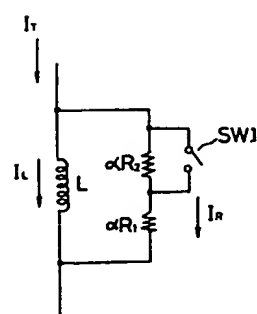
第 2 図



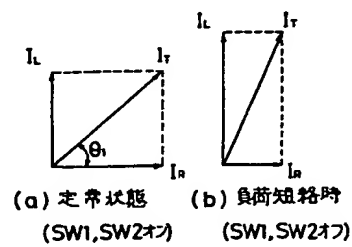
第 3 図



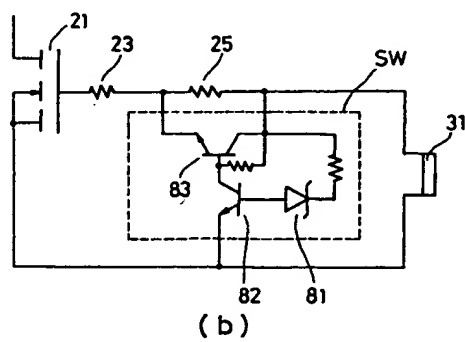
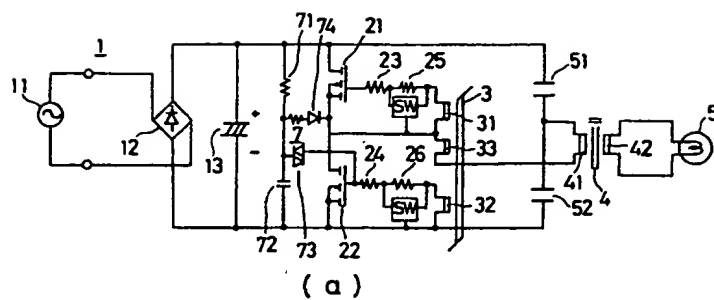
第 4 図



第 5 図



第 6 図



第 7 図